

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207471

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

G09G 5/00

G02F 1/13

G09G 3/20

G09G 3/36

(21)Application number : 2001-306770

(71)Applicant : CANON INC

(22)Date of filing : 14.07.1997

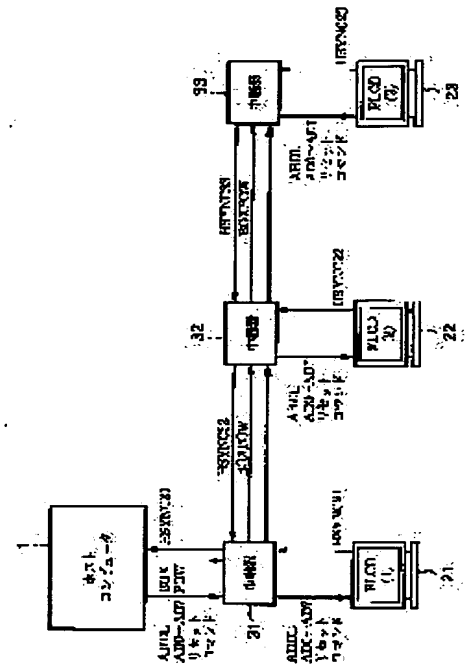
(72)Inventor : MATSUZAKI HIDEKAZU  
YAMAMOTO TAKASHI  
SAITO AKIO  
MORIMOTO HAJIME  
MATSUMOTO YUICHI  
INOUE KENJI  
ICHIHASHI NOBUHARU

## (54) DISPLAY CONTROL SYSTEM AND REPEATER DEVICE THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a flexible display control system and a control method therefor by which a plurality of display devices can be controlled by a single display control device, and the number of display devices is not limited, according to this invention.

**SOLUTION:** The presence or absence of the outputs of picture information request signals HSYNC 21-23 outputted from each of a plurality of display devices 21-23 is monitored. Then based on the monitoring result, the picture information stored in picture memory of the control device built in a host computer 1 are distributed to each of the display devices 21-23.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-207471  
(P2002-207471A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00	5 1 0 V 2 H 0 8 8
		G 0 2 F 1/13	5 0 5 5 C 0 0 6
G 0 2 F 1/13	5 0 5	G 0 9 G 3/20	6 3 3 Q 5 C 0 8 0
G 0 9 G 3/20	6 3 3		6 8 0 D 5 C 0 8 2
	6 8 0	3/36	

審査請求 有 請求項の数 6 O L (全 19 頁) 最終頁に続く

(21)出願番号 特願2001-306770(P2001-306770)  
(62)分割の表示 特願平9-188612の分割  
(22)出願日 平成9年7月14日(1997.7.14)

(71)出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 松崎 英一  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(72)発明者 山本 高司  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74)代理人 100076428  
弁理士 大塚 康徳 (外3名)

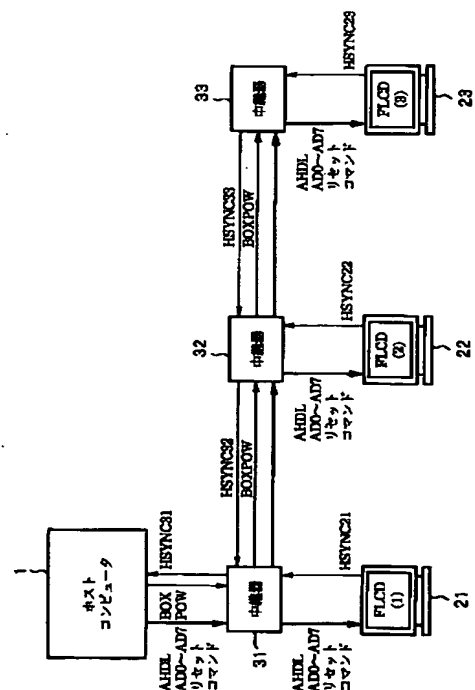
最終頁に続く

(54)【発明の名称】 表示制御システム及びその中継装置

(57)【要約】

【課題】 本発明によれば、複数台の表示制御を単体の表示制御装置で制御することができ、かつ接続される表示装置の数の制限されない柔軟な表示制御システム及びその制御方法を提供する。

【解決手段】 複数の表示装置21～23の各表示装置から出力される画像情報要求信号H S Y N C 2 1～2 3の出力の有無を監視する。そして、その監視結果に基づいて、ホストコンピュータ1に内蔵される表示制御装置の画像メモリに記憶される画像情報を複数の表示装置21～23の各表示装置に分配する。





では、CRT表示制御装置のように、常に画面をリフレッシュする必要が無い。そして、表示メモリの内容が更新された部分に対応する表示領域の表示内容を優先的に更新することにより、大きな画面でもリフレッシュレートを落とすことなく表示できるという利点を有している。

【0005】また、このような表示装置の応用例として、展示会やデモンストレーション等の広い会場において行われるイベントで、複数台の表示装置を設置し、この複数台の表示装置上に同じ画像情報を表示することにより、大勢の人達に同じ画像情報を提供することが可能となる。一方で、複数の表示装置に異なる画像情報を表示する表示制御システムとしては、以下の3つの形態が知られている。

【0006】(1) LAN接続方式 LANを用いて複数のホストコンピュータを接続し、それぞれのホストコンピュータに表示制御装置を介して表示装置を接続する。

(2) 複数グラフィックサブシステム方式 1台のホストコンピュータに複数の表示制御装置を装着する。そして、それぞれの表示制御装置に表示装置を接続する。

【0007】(3) ディスプレイメモリ分割方式 単一のホストコンピュータと単一の表示制御装置上の表示メモリを、論理的に複数のメモリ領域に分割し、それぞれのメモリ領域を接続する複数の表示装置に割り当てる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の表示装置を複数台用いて、各表示装置に同じ画像情報、あるいは異なる画像情報を出力するためには、各表示装置を制御する表示制御装置が同じ台数必要であった。特に、複数の表示装置に異なる画像情報においては、上述した各方式において、以下のような欠点があった。

【0009】(1) LAN接続方式 1台の表示装置に対して、1つのホストコンピュータと表示制御装置が必要になるためコストが高くなる。また、複数のホストコンピュータの制御を行う必要があるため、制御プログラムが大規模、複雑になる。

(2) 複数グラフィックサブシステム方式 1台の表示装置に対して、1台の表示制御装置が必要になるためコストが高くなる。また、1台のホストコンピュータに装着できる表示制御装置の数に制限があるため、接続可能な表示装置の数に制限が発生してしまう。

【0010】(3) ディスプレイメモリ分割方式 複数のメモリ領域に分割されたメモリ領域からの読み出しを、順次行う必要がある。このため、表示メモリからの読み出し可能速度によって接続可能な表示装置の数が制限される。本発明は上記の問題点を鑑みてなされたものであり、複数台の表示装置の表示制御を単体の表示制御装置で制御することができ、かつ接続される表示装置の数に制限されない柔軟な表示制御システム及びその中継装置

を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するための本発明による表示制御システムは以下の構成を備える。即ち、画像情報を記憶する画像記憶メモリを有する表示制御装置と、複数の表示装置を接続する中継装置とを有し、前記複数の表示装置に対し該画像情報に基づく画像の表示を制御する表示制御システムであって、前記中継装置が、前記表示制御装置と制御信号の送受信を行う第1のコネクタと、表示装置と制御信号の送受信を行う第2のコネクタと、他の中継装置と制御信号の送受信を行う第3のコネクタと、前記第2のコネクタを介して供給される画像転送要求信号と前記第3のコネクタを介して供給される画像転送要求信号とに基づく、画像転送要求信号を前記第1のコネクタを介して転送する要求信号出力手段と、前記第1のコネクタを介して供給される画像情報を受信する受信手段と、前記受信手段で受信した画像情報を前記第2のコネクタを介して、前記第2のコネクタに接続された表示装置に供給する第1の供給手段と、前記受信手段で受信した画像情報を前記第3のコネクタを介して、前記第3のコネクタに接続された他の中継装置に供給する第2の供給手段とを有する。

【0012】また、好ましくは、前記画像情報は、表示装置の表示ラインを示す情報と当該表示ラインに表示する画素データからなる。

【0013】また、好ましくは、前記第2のコネクタを介して供給される画像転送要求信号が入力される前記要求信号出力手段の入力側と、前記第3のコネクタを介して供給される画像転送要求信号が入力される前記要求信号出力手段の入力側は、それぞれ抵抗を介して接地されている。

【0014】上記目的を達成するための本発明による表示システムの中継装置は、以下の構成を備える。即ち、画像情報を記憶する画像記憶メモリを有する表示制御装置と、複数の表示装置を接続し、前記複数の表示装置に対し該画像情報に基づく画像の表示を制御する表示制御システムの中継装置であって、前記表示制御装置と制御信号の送受信を行う第1のコネクタと、表示装置と制御信号の送受信を行う第2のコネクタと、他の中継装置と制御信号の送受信を行う第3のコネクタと、前記第2のコネクタを介して供給される画像転送要求信号と前記第3のコネクタを介して供給される画像転送要求信号とに基づく、画像転送要求信号を前記第1のコネクタを介して転送する要求信号出力手段と、前記第1のコネクタを介して供給される画像情報を受信する受信手段と、前記受信手段で受信した画像情報を前記第2のコネクタを介して、前記第2のコネクタに接続された表示装置に供給する第1の供給手段と、前記受信手段で受信した画像情報を前記第3のコネクタを介して、前記第3のコネクタに接続された他の中継装置に供給する第2の供給手段と

を有する。

【0015】また、好ましくは、前記画像情報は、表示装置の表示ラインを示す情報と当該表示ラインに表示する画素データからなる。

【0016】また、好ましくは、前記第2のコネクタを介して供給される画像転送要求信号が入力される前記要求信号出力手段の入力側と、前記第3のコネクタを介して供給される画像転送要求信号が入力される前記要求信号出力手段の入力側は、それぞれ抵抗を介して接地されている。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の好適な実施形態を詳細に説明する。

＜実施形態1＞図1は本発明の実施形態1の表示制御システムの概略構成を示す図である。図1において、1はホストコンピュータであり、表示制御システム全体を制御する。2はFLCDであり、ホストコンピュータ1から出力される各種文字、画像情報等の画像データの表示装置として用いられる。3は中継器であり、ホストコンピュータ1から出力されるFLCDの表示を制御するFLCD制御信号を1台のFLCD2と更に後段に接続されるFLCD2へ分配する。

【0018】以上の構成を備える表示制御システムによって、1台のホストコンピュータ1から出力される各種文字、画像情報等の画像データが、それぞれのFLCD2の表示画面に同時に表示されることとなる。そのため、それぞれのFLCD2が設置されている各場所において、同時に同じ画像情報をユーザは入手することが可能となる。

【0019】次に、ホストコンピュータ1の詳細な構成について、図2を用いて説明する。図2は本発明の実施形態1のホストコンピュータの詳細な構成を示すブロック図である。図2において、101はホストCPUであり、実施形態の表示制御システム全体を制御する。106はブリッジであり、ホストCPU101と高速バス（PCIバス）102との間のインタフェースを行う。105はDRAMであり、主メモリとして使用され、CPU101により実行される制御プログラムを記憶したり、CPU101による制御処理時には、ワーク領域として使われる。102は高速バス（PCIバス）であり、アドレスバス、コントロールバス、データバス等を備える。

【0020】103は中速バスであり、例えば、ISAバスで構成される。107はブリッジであり、高速バス102と中速バス103とを接続する。104はシステムROMであり、表示制御システム全体の初期化処理を行うプログラム等の各種プログラムを記憶する。112はディスプレイ・コントローラ（ディスプレイコントローラ）であり、FLCD2との間のインタフェースを制御する。

【0021】108はI/Oコントローラであり、パラレルあるいはシリアルインタフェースを備え、ハードディスク装置4、フロッピー（登録商標）ディスク装置5のためのディスク・インタフェースをも備えている。109はキーボード（KBD）・コントローラであり、文字、数字等のキャラクタやその他の入力を行うためのキーボード6、マウス7との間のインタフェースを制御する。110はリアルタイムクロックであり、クロックを計数して時間を計時するタイマ機能も有している。111はオーディオサブシステムで、マイクからの音声信号を入力して中速バス103に出力したり、あるいは中速バス103からの信号に基づいてスピーカに可聴信号を出力する。

【0022】次に、ディスプレイコントローラ112の詳細な構成について、図3を用いて説明する。図3は本発明の実施形態1のディスプレイコントローラの詳細な構成を示すブロック図である。図3において、ディスプレイコントローラ112には、CRT用の表示制御回路である既存のSVGAを利用したSVGA201が用いられている。そして、ここでは、図3に示すディスプレイコントローラ112の詳細な構成を説明する前に、SVGA201の詳細な構成について、図4を用いて説明する。

【0023】図4は本発明の実施形態1のSVGAの詳細な構成を示すブロック図である。図4において、例えば、ディスプレイコントローラ112の表示メモリのウィンドウ領域内で書き換えられて表示される表示データは、ホストCPU101の制御の下にPCIバス102を介してディスプレイコントローラ112に転送され、FIFO216に一時的に格納される。また、表示メモリのウィンドウ領域をVRAM202の任意の領域に投影するためのバンクアドレスデータもPCIバス102を介してディスプレイコントローラ112に転送される。

【0024】そして、ホストCPU101からのコマンド、上述のバンクアドレスデータ、制御情報等のデータは、レジスタセットデータとしてSVGA201へ転送される。また、SVGA201の状態等を示すデータがレジスタゲットデータとしてSVGA201からホストCPU101へ転送される（図3参照）。FIFO216に格納されたレジスタセットデータ及び表示データは、順次FIFO216より出力され、データの種別に応じてバスインタフェースユニット217、あるいはVGA222中の各レジスタにセットされる。VGA222は、これらレジスタにセットされたデータの状態によって、バンクアドレスデータとその表示データ及び制御コマンド等のデータを知ることができる。

【0025】VGA222は、表示メモリのウィンドウ領域のアドレスとバンクアドレスデータに基づいて、これらに対応するVRAM202におけるVRAMアドレ

10

20

30

40

50

スを生成する。これとともに、メモリ制御信号としてのストロブ信号RAS及びCAS、チップセレクト信号CSならびにライトイネーブル信号WEをメモリインタフェースユニット220を介してVRAM202へ転送する。これにより、そのVRAMアドレスに表示データを書き込むことができる。このとき、書き換えられる表示データは、同様の手順でメモリインタフェースユニット220を介してVRAM202へ転送される。

【0026】一方、VGA222は、後述するラインアドレス生成回路204から転送される要求ラインアドレスによって特定されるVRAM202の表示データを、同様に転送されるラインデータ転送イネーブル信号に応じてVRAM202から読み出し、FIFO221へ格納する。FIFO221からは、表示データが格納された順序でFLCD2側へ送出される。

【0027】SVGA201には、更に、アクセラレータ機能を果たすデータマニピュレータ218及びグラフィックスエンジン219が設けられている。例えば、ホストCPU101が、バスインタフェースユニット217のレジスタに、円及びその中心と半径に関するデータをセットし円の描画を指示すると、グラフィックスエンジン219は、その円を描画する表示データを生成し、データマニピュレータ218は、メモリインタフェースユニット220を介して、このデータをVRAM202に書き込む。

【0028】書換検出／フラグ生成回路223は、VGA222が発生するVRAMアドレスを監視し、VRAM202の表示データが書き換えられた（書き込まれた）時の、すなわちライトイネーブル信号及びチップセレクト信号CSが“1”となった時のVRAMアドレスを取り込む。そして、このVRAMアドレスならびにホストCPU101から得られるVRAMアドレスオフセット、総ライン数及び総ラインビット数の各データに基づいてラインアドレスを計算する。この計算の概念を図5に示す。

【0029】図5は本発明の実施形態1のラインアドレスの計算の概念を説明するための図である。図5に示されるように、VRAM202上のアドレスXで示される画素は、FLCD画面のラインNに対応する。また、各ラインは複数の画素からなり、更に、各画素は複数（n個）バイトからなるとする。このときのラインアドレス（ライン番号N）は、以下のように計算される。

【0030】
$$N = 1 + \{ (VRAM \text{ アドレス} : X) - (\text{表示開始アドレス}) \} / (1 \text{ ラインの画素数}) \times (1 \text{ 画素のバイト数} : n)$$

書換検出／フラグ生成回路223は、この計算されたラインアドレスに応じて、部分書換ラインフラグレジスタ224にフラグをセットする。このときのVRAM202と部分書換ラインフラグレジスタ224の関係を図6に示す。

【0031】図6は本発明の実施形態1のVRAMと部分書換ラインフラグレジスタの関係を示す図である。図6に示すように、例えば、「L」という文字を表示するためにVRAM202上の対応するアドレスが書き換えられた場合、上記計算によって書き換えられたラインアドレスが検出される。そして、このアドレスに対応する部分書換ラインフラグレジスタ224にフラグが立てられる（“1”がセットされる）。

【0032】次に、図3の説明に戻る。CPU203は、ラインアドレス生成回路204を介して部分書換ラインフラグレジスタ224の内容を読み取り、フラグがセットされているラインアドレスをSVGA201へ送出する。この時、ラインアドレス生成回路204は、上記ラインアドレスデータに対応してラインデータ転送イネーブル信号を送出し、SVGA201（のFIFO221）から、上記アドレスの表示データを二値化中間調処理回路206に転送させる。

【0033】二値化中間調処理回路206は、R、G、B（各5ビット：32K色）あるいはR（3ビット）、G（3ビット）、B（2ビット）（合計256色）、R、G、B、I（輝度）（各1ビット：16色）で表現される多値表示データを、FLCD2の表示画面における各画素に対応した二値の画素データに変換する。尚、実施形態1の上記表示画面の1画素は、図7に示すように、各色についての面積の異なる表示セルを有している。また、FLCD2は、横方向に1280画素、縦方向に1024ラインの表示エリアを有し、このうち斜線で示すボーダ部を除く1024画素×768ラインが有効表示領域である。

【0034】次に、表示データのデータフォーマットについて、図8を用いて説明する。図8は本発明の実施形態1の表示データのデータフォーマットを示す図である。図8（A）は、図7に示す表示ラインAのデータフォーマットであり、先頭にラインアドレスが付され、その表示ラインの画素データ部分はすべてボーダ画素データで構成されている。また、図8（B）は、図7に示す表示ラインBのデータフォーマットであり、先頭にラインアドレスが付され、その表示ラインの画素データ部分は実際に表示される画素データとその両端部にボーダ画素データで構成されている。表示される画素データの各画素は、各色について2ビット（R1、R2、G1、G2、B1、B2）を有する。従って、二値化中間調処理回路206は、各15ビットあるいは各8ビットまたは各4ビットのRGB表示データを、各色2ビットのデータ（すなわち、RGBの各色を4値の画素データで表わす）に変換する。

【0035】尚、この二値化中間調処理回路206で用いられる二値化中間調処理手法は公知のものを利用ことができ、このような手法としては、例えば、誤差拡散法、平均濃度法、ディザ法等が知られている。再び、図

3の説明に戻る。ボーダ生成回路205は、FLCD2の表示画面におけるボーダ部の画素データを生成する。即ち、FLCD2の表示画面は、図7に示したように、1280画素からなるラインを1024ライン有しており、この表示画面のうち、表示に用いられないボーダ部（斜線部）が表示画面を縁どるように形成される。ボーダ生成回路205で生成されたボーダ部の画素データは、合成回路207により、二値化中間調処理回路206からの画素データと直列合成される。更に、この合成された画素データには、合成回路208においてラインアドレス生成回路204からの表示ラインアドレスが合成された後、ドライバ209を介してFLCD2に送出される。

【0036】次に、表示ラインアドレスと画素データをFLCD2へ転送するタイミングについて、図9を用いて説明する。図9は本発明の実施形態1の表示ラインアドレスと画素データをFLCDへ転送するタイミングを示すタイミングチャートである。尚、図9では、表示ラインアドレスと画素データがAD0からAD7までの8ビットパラレルデータとしてFLCD2へ転送されるものとする。

【0037】まず、FLCD2からデータの送信要求を示す同期信号HSYNCが、レシーバ213を介してラインアドレス生成回路204に入力される。次に、ラインアドレス生成回路204は、要求ラインアドレスをSVGA201へ送出する。ここで、同期信号HSYNCは、LOWレベル"0"のときにデータの送信要求を示す負論理の信号とする。

【0038】これにより、SVGA201は要求ラインアドレスに対応した表示データを出力する。これと同時に、ラインアドレス生成回路204は表示ラインアドレスと画素データを識別する識別信号AHDLをHIGHレベル"1"にしてドライバ210を介してFLCD2に出力するとともに、表示ラインアドレスをFLCD2へ転送する。

【0039】また、表示ラインアドレスをFLCD2へ転送し終えた時点で、識別信号AHDLをLOWレベル"0"にしてドライバ210を介してFLCD2に出力する。これとともに、SVGA201から二値化中間調処理回路206及び合成回路207、208を経由してきた画素データがドライバ209を介してFLCD2へ転送される。ここで識別信号AHDLは、HIGHレベル"1"のときにAD0からAD7までの信号線に表示ラインアドレスが出力されていることを示す。また、LOWレベル"0"のときにAD0からAD7までの信号線に画素データが出力されていることを示す。

【0040】以上説明してきたディスプレイコントローラ112の構成の各制御を、CPU203が行う。即ち、CPU203は、ホストCPU101からFLCD2の表示画面の総ライン数、総画素数及びカーソル情報

の各情報を受け取る。また、CPU203は、書換検出／フラグ生成回路223に対して、VRAMアドレスのオフセット、総ライン数及び総画素数の各データを送出する。また、部分書換ラインフラグレジスタ224の初期化を行う。また、ラインアドレス生成回路204に対して表示開始ラインアドレス、連続表示ライン数、総ライン数、総画素数及びボーダ領域の各データを送出し、ラインアドレス生成回路204から部分書換ラインフラグ情報を得る。更に、CPU203は、二値化中間調処理回路206に対してバンド幅、総画素数及び処理モードの各データを送出し、ボーダ生成回路205に対してボーダパターンデータを送出する。また、CPU203は、FLCD2を初期化するためのリセット信号をドライバ212を介してFLCD2へ出力する。また、FLCD2を待機状態であるスタティック状態にするためのコマンドや、FLCD2のバックライトを消灯させスリープ状態にするためのコマンドを、ドライバ211を介してFLCD2へ出力する。

【0041】以上説明したように、ホストCPU101から高速バス102を介して、何らかの描画命令が、ディスプレイコントローラ112へ送られる。そして、FLCD2からデータの送信要求を示す同期信号HSYNCが出力される毎に、表示の更新された表示ラインアドレスと表示データがAD0からAD7までの信号線に出力され、FLCDインタフェースコネクタ214を介してFLCD2へ転送される。FLCDインタフェースコネクタ214は、以上説明したFLCD2を制御するための信号線を一つのコネクタにまとめたものである。そして、ディスプレイコントローラ112とFLCD2とは、このFLCDインタフェースコネクタ214を介して接続されることとなる。また、図1に示した中継器3が動作するための電圧（本実施形態では、5ボルトで動作するものとする）を供給するための信号BOXPOWも、FLCDインタフェースコネクタ214を介してFLCD2に供給される。215は、信号BOXPOWが接地電圧（グラウンド）と短絡したような状態のときに、過電流の流れるのを防止するためのヒューズである。

【0042】さて、図1に示したようにFLCD2が複数台接続される表示制御システムにおいては、以上説明したディスプレイコントローラ112における各種制御信号が中継器3を介して各FLCD2に分配される。次に、中継器3の構成について、図10を用いて説明する。

<中継器3の説明>図10は本発明の実施形態1の中継器の構成を示すブロック図である。

【0043】図10において、301～303はコネクタであり、コネクタ301は、ホストコンピュータ1との間でFLCD2のFLCD制御信号の送受信を行う。コネクタ302は、FLCD2との間でFLCD制御信号の送受信を行う。コネクタ303は、次段の中継器3

との間でFLCD制御信号の送受信を行う。305～307はドライバであり、ホストコンピュータ1から出力される信号線AD0～AD7、AHD L及びFLCD2を制御するためのリセット信号やコマンド信号は、コネクタ301を介した後レシーバ308を経由してドライバ306、307に接続される。ドライバ306からの出力は、コネクタ302を介してFLCD2へ出力される。また、ドライバ307からの出力は、コネクタ303を介して次段の中継器3へと出力される。

【0044】FLCD2から出力される信号HSYNCは、コネクタ302を介した後、レシーバ309を経由してORゲート304の一方の入力信号線に接続される。次段の中継器3から出力される信号HSYNCは、コネクタ303を介した後、レシーバ310を経由してORゲート304のもう一方の入力信号線に接続される。ORゲート304からの出力は、ドライバ305を介してコネクタ301に接続され、ホストコンピュータ1に出力される。

【0045】311は抵抗器であり、当該中継器3にFLCD2が接続されなかった場合に、FLCD2からの信号HSYNCを強制的にLOWレベル”0”とするためのものである。そのため、抵抗器311の一方は、コネクタ302とレシーバ309との間の信号HSYNCの信号線へ、もう一方を接地電圧（グラウンド）に接続される。これにより、当該中継器3にFLCD2が接続されていない場合、当該中継器3に接続されているFLCD2の電源が投入されておらず、当該中継器3に接続されているFLCD2が動作していない場合には、レシーバ309の出力に接続されるORゲート304の一方の入力線は強制的にLOWレベル”0”にされる。ORゲート304からの出力は、もう一方の入力線、すなわち次段の中継器3から出力される信号HSYNCの状態に応じて変化することとなる。つまり、次段の中継器3から出力される信号HSYNCがHIGHレベル”1”のときには、ORゲート304の出力はHIGHレベル”1”となる。また、LOWレベル”0”のときにはORゲート304の出力はLOWレベル”0”となる。

【0046】312は抵抗器であり、次段に中継器3が接続されなかった場合に、次段の中継器3からの信号HSYNCを強制的にLOWレベル”0”とするためのものである。そのため、抵抗器312の一方は、コネクタ303とレシーバ310の間の信号HSYNCの信号線へ、もう一方を接地電圧（グラウンド）に接続される。これにより、次段に中継器3が接続されない場合には、レシーバ310の出力に接続されるORゲート304の一方の入力線は強制的にLOWレベル”0”にされる。ORゲート304からの出力は、もう一方の入力線、すなわちFLCD2から出力される信号HSYNCの状態に応じて変化することとなる。つまり、FLCD2から出力される信号HSYNCがHIGHレベル”1”のときに

は、ORゲート304の出力はHIGHレベル”1”となる。また、LOWレベル”0”のときにはORゲート304の出力はLOWレベル”0”となる。

【0047】ホストコンピュータ1から出力される信号BOXPOWは、これら中継器3を構成するORゲート304、ドライバ305～307、レシーバ308～310に電源を供給する信号である。また、コネクタ301を介して中継器3に接続された後、そのままコネクタ303を介して次段の中継器3へ出力される。以上説明した中継器3を複数台のFLCD2に接続することにより、一台のホストコンピュータ1に複数台のFLCD2を接続することが可能となる。

【0048】次に、表示ラインアドレスと画素データを複数台のFLCD2へ転送するタイミングについて、図11を用いて説明する。図11は本発明の実施形態1の表示ラインアドレスと画素データを複数台のFLCDへ転送するタイミングを示すタイミングチャートである。尚、図11の説明は、図12に示すような、3台のFLCD2が接続された表示制御システムにおける場合を例に挙げて説明していく。図12に示すように、FLCD21、FLCD22、FLCD23からは、それぞれ非同期にデータの送信要求を示す同期信号HSYNC21、HSYNC22、HSYNC23が出力される。中継器33では、次段に中継器3が接続されていない。そのため、中継器33は、自身に接続されているFLCD23から出力される同期信号HSYNC23がLOWレベル”0”となったときに、HSYNC33をLOWレベル”0”として前段の中継器32に出力する。

【0049】中継器32では、次段に接続されている中継器33から出力される同期信号HSYNC23がLOWレベル”0”となり、更に中継器32に接続されているFLCD22から出力される同期信号HSYNC22がLOWレベル”0”となったときに、HSYNC32をLOWレベル”0”として前段の中継器31に出力する。

【0050】同様に中継器31では、次段に接続されている中継器32から出力される同期信号HSYNC22がLOWレベル”0”となり、更に中継器31に接続されているFLCD21から出力される同期信号HSYNC21がLOWレベル”0”となったときに、HSYNC31をLOWレベル”0”としてホストコンピュータ1に出力する。

【0051】ホストコンピュータ1では、HSYNC31がLOWレベル”0”であることを検出すると、表示ラインアドレスと画素データを識別する識別信号AHD LをHIGHレベル”1”とするとともに表示ラインアドレスを中継器31へ転送する。また、表示ラインアドレスを転送し終えた時点で、識別信号AHD LをLOWレベル”0”とするとともに画素データを中継器3へ転送する。このようにして、ホストコンピュータ1から出力される信号線AD0～AD7及び識別信号AHD Lは、中

10

20

30

40

50



継器31、中継器32、中継器33を介してFLCD21、FLCD22、FLCD23に出力される。続いて、ホストコンピュータ1から画素データが出力されると、FLCD21、FLCD22、FLCD23の表示画面上に同時に同じ画像情報が表示される。

【0052】それぞれのFLCD21、FLCD22、FLCD23から出力されたHSYNC21、HSYNC22、HSYNC23は、それぞれのFLCD21、FLCD22、FLCD23がホストコンピュータ1から画素データが出力されたことを検出することにより、HIGHレベル"1"に戻される。以降、ホストコンピュータ1から1ライン分の画素データが出力された後、再度、FLCD21、FLCD22、FLCD23が同期信号HSYC21、HSYNC22、HSYNC23をLOWレベル"0"とすることにより、繰り返しコンピュータ1から画素データの出力が行われる。このようにして、FLCD21、FLCD22、FLCD23の表示画面に同時に同じ画像情報の表示を繰り返し行うことができる。

【0053】次に、実施形態1の表示制御システムで実行される処理の概要について、図13を用いて説明する。図13は本発明の実施形態1で実行される処理を示すフローチャートである。まず、ステップS101において、ある中継器において、次段に接続されている中継器からHSYNCが出力されたか否かを判定する。HSYNCが出力されていない場合（ステップS101でNO）、出力されるまで待機する。一方、HSYNCが出力された場合（ステップS101でYES）、ステップS102に進む。

【0054】次に、中継器自身が接続している表示装置から同期信号HSYNCが出力されたか否かを判定する（ステップS102）。表示装置から同期信号HSYNCが出力されていない場合（ステップS102でNO）、出力されるまで待機する。一方、表示装置から同期信号HSYNCが出力された場合（ステップS102でYES）、ステップS102に進む。

【0055】次に、前段に接続される装置に対し、HSYNCを出力する（ステップS103）。次に、前段に接続される装置がホストコンピュータであるか否かを判定する（ステップS104）。ホストコンピュータでない場合（ステップS104でNO）、ステップS101に戻る。一方、ホストコンピュータである場合（ステップS104でYES）、ステップS105に進む。

【0056】そして、ホストコンピュータから表示データを受信する（ステップS105）。受信した表示データは次段以降に接続される中継器に順次送信する（ステップS106）。以上説明したように、実施形態1によれば、1台の表示装置と、それ以降に接続される表示装置から出力される画像情報要求信号の出力の有無を監視し、その監視結果に基づいて表示制御装置から出力され

る画像情報を、全ての表示装置へ分配することができる中継器を設けることにより、1台の表示制御装置に複数台の表示装置を接続し、同じ表示画像を同時に複数台の表示装置上に表示することが可能となる。これにより、プレゼンテーション会場やデモンストレーション会場のような広い会場に配置した複数台の表示装置に同じ画像情報を同時に表示することができる。

【0057】＜実施形態2＞実施形態2では、1台の表示制御装置を用いて複数の表示装置に異なる画像情報を表示することができる表示制御システムについて説明する。図14は本発明の実施形態2の表示制御システムの概略構成を示す図である。図14において、1101はホストコンピュータであり、表示制御システム全体を制御する。1102はキーボード、1103はマウスであり、文字、数字等のキャラクタやその他の入力を行う。1104～1108はFLCDであり、FLCD-I/F1109を介してホストコンピュータ1101と接続され、ホストコンピュータ1101から出力される各種文字、イメージ等の画像情報の表示装置として用いられる。また、FLCD1104～1108は、それぞれ装置固有の装置ID（0以外）が割り当てられている。1110～1114は中継器であり、ホストコンピュータ1101とFLCD1104～1108をディジーチェーン接続する。

【0058】次に、FLCD-I/F1109の詳細な構成について、図15を用いて説明する。図15は本発明の実施形態2のFLCD-I/Fの詳細を示すブロック図である。図15において、ホストコンピュータ1101に内蔵されるホストCPU（不図示）は、まず、表示先のFLCDの装置IDをシリアルI/Fを介してマイクロコントローラ204に通知する。マイクロコントローラ1204は、フレームメモリ制御回路1207の装置ID設定レジスタ1240に、ホストCPUから通知された装置IDを設定する。

【0059】続いて、ホストCPUは、システムバス1230、SVGA1201を介してディスプレイメモリ1202に表示データの転送を行う。表示データは、RGB各色256階調を表現する24ビットデータの形態を有している。また、SVGA1201は、表示画面の左から右、上から下に向かって対応するディスプレイメモリアドレスの表示データを順次ディスプレイメモリ1202から読み出し、二値化中間調処理回路1206に転送する。この時、表示データとともに、表示データ有効期間を示すデータイネーブル、基準クロックのDot Clock、水平同期信号を示すHsync、垂直同期信号を示すVsyncも転送する。

【0060】二値化中間調処理回路1206は、RGB各色8ビットで表現される256階調の多値表示データを、FLCD（非図示）の表示画面に対応した16値の画素データに変換する。尚、実施形態2では、表示画面

10

20

30

40

50

の1画素はR、G、B、Iの4ドットから構成される。また、二値化中間調処理回路1206で行う二値化中間処理方法としては、バンド単位(複数ライン単位)で誤差拡散を行う誤差拡散法(ED法)を用いる。

【0061】そして、二値化中間調処理回路206で生成された画素データは、データイネーブル信号に同期して、フレームメモリ制御回路1207へ送出される。フレームメモリ制御回路1207は、水平同期信号Hsync、垂直同期信号Vsyncにより、ラインカウンタ(不図示)の示す値から算出されるフレームメモリ1234のフレームメモリアドレスへ画素データを書き込む。このフレームメモリ1234への画素データの書き込みの際、同時にフレームメモリ1234からの画素データの読み出しを行う。

【0062】そして、比較器1220で、書き込んだ画素データと、読み出した画素データを比較する。比較の結果、画素データが異なっていた場合は、画素データの書き換えありと判断し書き換えフラグレジスタ1221の対応する位置の書き換えフラグを1(オン)にする。尚、書き換えフラグレジスタ1221は、各ビットが対応するバンドの書き換えの有無を示すビット列から構成されている。

【0063】マイクロコントローラ1204は、フレームメモリ制御回路1207中の書き換えフラグレジスタ1235から書き換えフラグを読み出す。これにより、FLCD上の次の表示における書換ラインが決定され、これをフレームメモリ制御回路1207にセットする。この際、書き換えフラグがオンの領域を優先的に表示するようにする。

【0064】フレームメモリ制御回路1207は、FLCDからのデータ要求信号に応じて、フレームメモリ1208中のマイクロコントローラ1204により指示された出力ライン位置から画素データを読み出してFLCDへ送出する。この際、マイクロコントローラ1204から指示された装置IDと出力ラインアドレスと画素データをマルチプレクスして送信する。

【0065】装置IDによって指定されたFLCDは、FLCD-I/F1109から受け取った画素データを表示画面中のラインアドレスで指定されたライン位置で表示する。1ライン分の画素データの受信が完了し、次の1ライン分の画素データを受けとることが可能となった時点で、データ要求信号をフレームメモリ制御回路1207に送信する。また、装置ID=0が指定された場合は、接続されている全てのFLCDに画素データを送信する。

【0066】次に、実施形態2の表示制御システムの具体的な構成例について、図16を用いて説明する。図16は本発明の実施形態2の表示制御システム具体的な構成例を示す図である。図16に示すFLCD1104は、表示制御システムを制御するための操作画面の表示

用の表示装置であり、ユーザはこの操作画面を操作することで、表示先のFLCDの決定や各種設定を行う。FLCD1105~1108は、FLCD1104で設定された内容に応じて、ホストコンピュータから送信されてくる画素データに基づく画像の表示を行う。

【0067】次に、FLCD1104に表示される操作画面の詳細について、図17を用いて説明する。図17は本発明の実施形態2の表示制御システムを制御するための操作画面の詳細を示す図である。図17において、ユーザはマウスポインター401を操作してドラッグアンドドロップの操作を行うことができる。ウインドウ410は、予めホストコンピュータ301に登録されている画像をアイコン表示する。ここでは、登録されている画像ファイルのアイコン411~416がアイコン表示されている。尚、ユーザはこのウインドウ410において、新たな画像ファイルを追加登録したり、登録してあるファイルを削除したりすることができるのはもちろんである。ウインドウ420は、図16に示したFLCD1105~1108の表示画面の表示状態のアイコン422~425がアイコン表示されている。

【0068】ユーザは、表示対象の画像ファイルを表示先のFLCDで表示されるように設定する場合は、ウインドウ410にアイコン表示されている画像ファイルから表示対象の画像ファイルをドラッグして、ウインドウ420の表示先のFLCD上でドロップする。また、ウインドウ420の内のアイコン430「全ての装置に表示」上でドラッグした画像ファイルをドロップすると、操作画面を表示するFLCD以外のFLCD全てがその画像ファイルの表示先となるように設定される。

【0069】尚、図17に示す操作画面は、画像ファイルのアイコン411をFLCD1106のアイコン423へ、画像ファイルのアイコン412をFLCD1105、FLCD1107のアイコン422、アイコン424へ、画像ファイルのアイコン413をFLCD1108のアイコン425へ、ドラッグアンドドロップした場合の様子を示している。

【0070】次に、実施形態2の表示制御システムで実行される処理の概要について、図18を用いて説明する。図18は本発明の実施形態2で実行される処理を示すフローチャートである。尚、ここでは、ユーザが、ある表示装置にある画像の表示を要求した場合に実行される処理を例に挙げて説明する。

【0071】ステップS501において、ユーザによる画像表示要求を待機する。ここで、画像表示要求とは、ユーザが操作画面で画像ファイルのアイコンをドラッグしてFLCDのアイコン上でドロップすることである。ステップS502において、ユーザがドラッグした画像ファイルの画像IDとFLCDの装置IDを取得する。ステップS503において、装置IDとして存在しないダミーの装置IDをFLCD-I/F1109の装置ID

10

20

30

40

50

D設定レジスタ1240に設定する。これは、ステップ504におけるディスプレイメモリ1202への画像データの書き込み中に、未完成（書き込み中の中途半端な表示データ）が表示されるのを防ぐためのものである。

【0072】ステップS504において、ステップS502で取得した画像IDの画像ファイルをディスプレイメモリ1202に書き込む。ステップS505において、ステップ502で取得した装置IDをFLCD-I/FL109の装置ID設定レジスタ1240に設定する。これにより、ユーザの指定したFLCDへの画像表示が開始される。ステップS506において、一定時間ウェイトする。このウェイト時間は、FLCDが一画面（1フレーム）をスキャンするのに十分な時間とする。

【0073】ステップS507において、操作画面を表示するFLCDの装置IDをFLCD-I/FL109の装置ID設定レジスタ1240に設定する。ステップS508において、操作画面の内容をディスプレイメモリ1202に書き込み、操作画面を復元する。その後、ステップ502に戻り、ユーザによる画像表示要求を待機する。

【0074】以上説明したように、実施形態2によれば、1台のホストコンピュータと複数の表示装置に対する表示を制御する表示制御システムを実現することができる。これにより、ローコストで表示装置の接続台数が制限されない柔軟な表示制御システムを提供することができる。尚、本発明は、複数の機器（例えば、ホストコンピュータ、インタフェース機器、リーダ、プリンタ等）から構成されるシステムに適用してもよい。

【0075】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0076】この場合、記憶媒体から読出されたプログラムコード自体が上述した実施の形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0077】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行い、その処理によって前述した実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0078】更に、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0079】本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明したフローチャートに対応するプログラムコードを格納することになるが、簡単に説明すると、図19、20のメモリマップ例に示す各モジュールを記憶媒体に格納することになる。すなわち、実施形態1では、少なくとも「監視モジュール」および「分配モジュール」の各モジュールのプログラムコードを記憶媒体に格納すればよい。

【0080】尚、「監視モジュール」は、複数の表示装置の各表示装置から出力される画像情報要求信号の出力の有無を監視する。「分配モジュール」は、監視結果に基づいて、表示制御装置の画像メモリに記憶される画像情報を複数の表示装置の各表示装置に分配する。また、実施形態2では、少なくとも「指定モジュール」および「制御モジュール」の各モジュールのプログラムコードを記憶媒体に格納すればよい。

【0081】尚、「指定モジュール」は、画像情報の表示先の表示装置を指定する。「制御モジュール」は、指定された表示装置に対し、画像情報に基づく画像の表示を制御する。

【0082】

【発明の効果】以上説明したように、本発明によれば、複数台の表示装置の表示制御を単体の表示制御装置で制御することができ、かつ接続される表示装置の数に制限されない柔軟な表示制御システム及びその制御方法を提供できる。

【図面の簡単な説明】

【図1】本発明の実施形態1の表示制御システムの概略構成を示す図である。

【図2】本発明の実施形態1のホストコンピュータの詳細な構成を示すブロック図である。

【図3】本発明の実施形態1のディスプレイコントローラの詳細な構成を示すブロック図である。

【図4】本発明の実施形態1のSVG Aの詳細な構成を示すブロック図である。

【図5】本発明の実施形態1のラインアドレスの計算の概念を説明するための図である。

【図6】本発明の実施形態1のVRAMと部分書換ラインフラグレジスタの関係を示す図である。

【図7】本発明の実施形態1のFLCDの表示画面を示す図である。

【図8】本発明の実施形態1の表示データのデータフォ

ーマットを示す図である。

【図9】本発明の実施形態1の表示ラインアドレスと画素データをFLCDへ転送するタイミングを示すタイミングチャートである。

【図10】本発明の実施形態1の中継器の構成を示すブロック図である。

【図11】本発明の実施形態1の表示ラインアドレスと画素データを複数台のFLCDへ転送するタイミングを示すタイミングチャートである。

【図12】本発明の実施形態1表示制御システムの構成例を示すブロック図である。

【図13】本発明の実施形態の全体図である。

【図14】本発明の実施形態2の表示制御システムの概略構成を示す図である。

【図15】本発明の実施形態2のFLCD-I/Fの詳細を示すブロック図である。

【図16】本発明の実施形態2の表示制御システム具体的な構成例を示す図である。

【図17】本発明の実施形態2の表示制御システムを制御するための操作画面の詳細を示す図である。

【図18】本発明の実施形態2で実行される処理を示すフローチャートである。

【図19】本発明の実施形態を実現するプログラムコードを格納した記憶媒体のメモリマップの構造を示す図である。

【図20】本発明の実施形態を実現するプログラムコードを格納した記憶媒体のメモリマップの構造を示す図である。

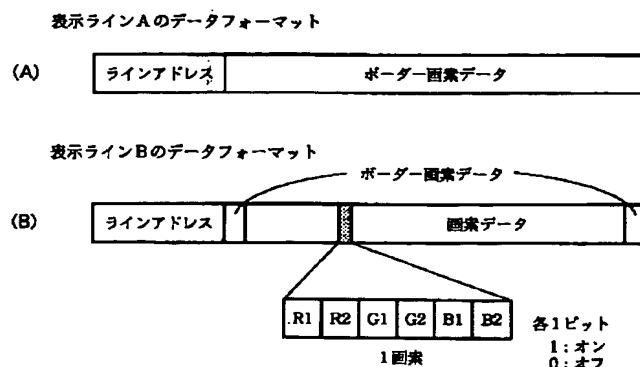
【符号の説明】

- 1 ホストコンピュータ
- 2、21、22、23 FLCD
- 3、31、32、33 中継器
- 4 ハードディスク装置
- 5 フロッピーディスク装置
- 6 キーボード

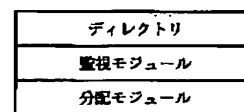
\* 7 マウス

- 101 ホストCPU
- 102 高速バス
- 103 中速バス
- 104 システムROM
- 105 DRAM
- 106、107 ブリッジ
- 108 I/Oコントローラ
- 109 キーボードコントローラ
- 110 リアルタイムクロック
- 111 オーディオサブシステム
- 112 ディスプレイコントローラ
- 201 SVGA
- 202 VRAM
- 203 CPU
- 204 ラインアドレス生成器
- 205 ボーダ生成器
- 206 二値化中間調処理回路
- 207、208 合成回路
- 209、210、211、212、305、306、307 ドライバ
- 213、308、309、310 レシーバ
- 214 FLCDインタフェースコネクタ
- 215 フューズ
- 216、221 FIFO
- 217 バスインタフェースユニット
- 218 データマニピュレータ
- 219 グラフィックエンジン
- 220 メモリインタフェースユニット
- 222 VGA
- 223 書換検出/フラグ生成回路
- 224 部分書換ラインフラグレジスタ
- 301、302、303 コネクタ
- 304 ORゲート
- \* 311、312 抵抗器

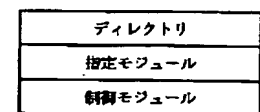
【図8】



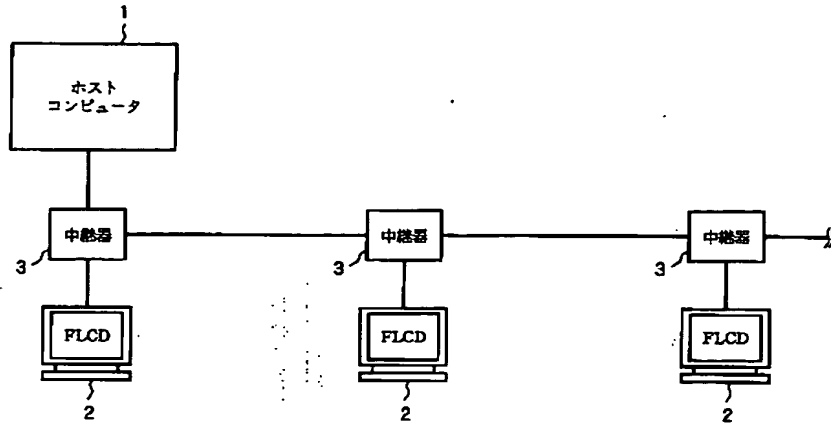
【図19】



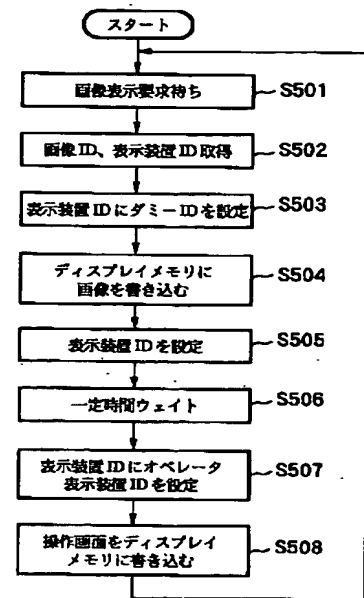
【図20】



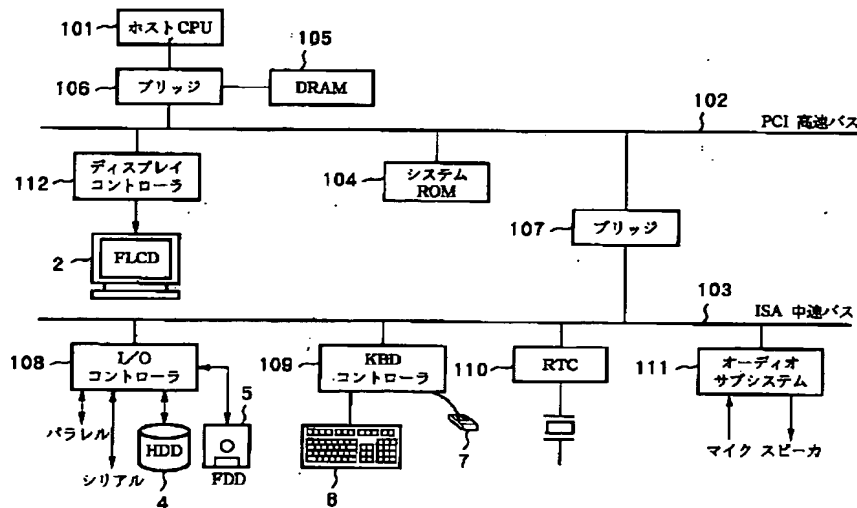
【図1】



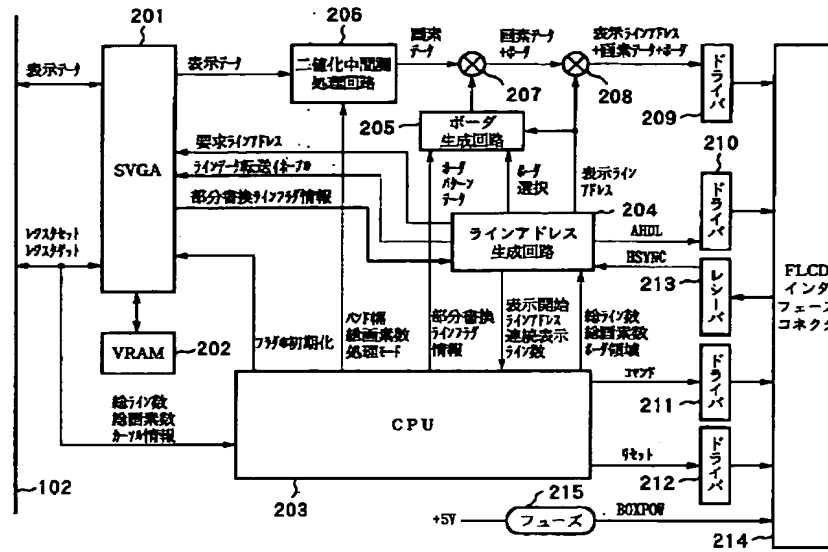
【図18】



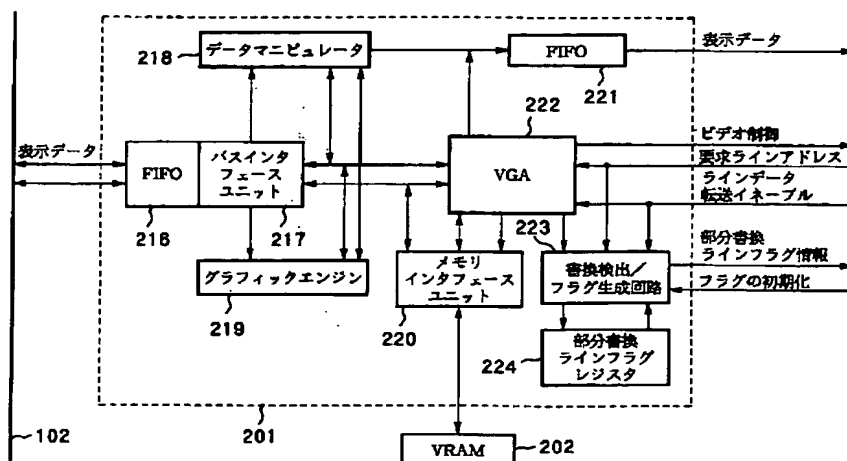
【図2】



【図3】



【図4】



【図6】

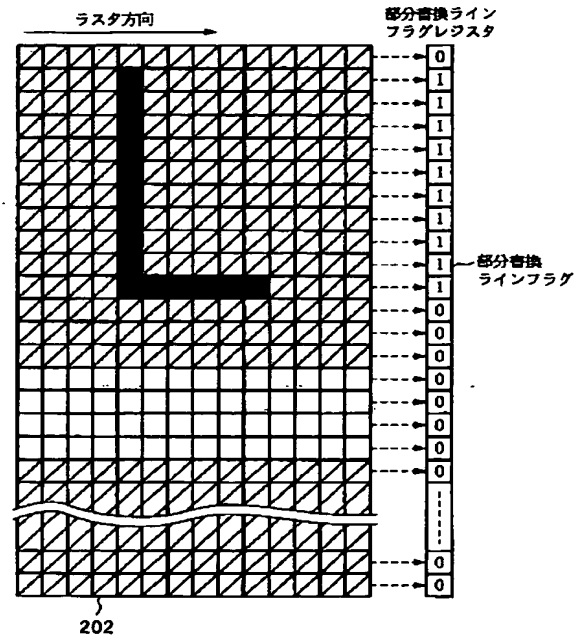
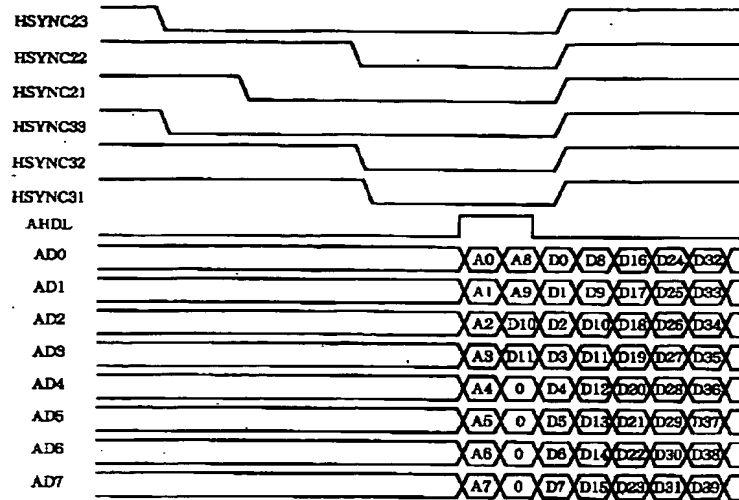


Diagram illustrating the layout of a display screen. The screen is defined by a border (ボーダー部) with a width of 2 pixels. The total width is 1280 pixels, and the total height is 1024 lines. The active display area (有効表示領域) is 1024 pixels wide and 768 lines high. The screen is divided into two horizontal sections by a line labeled 表示ラインB. The top section is labeled 表示ラインA. A detailed view of a single pixel (1画素の構成) is shown, consisting of a 2x2 grid of sub-pixels labeled R1, R2, G1, G2, B1, and B2.

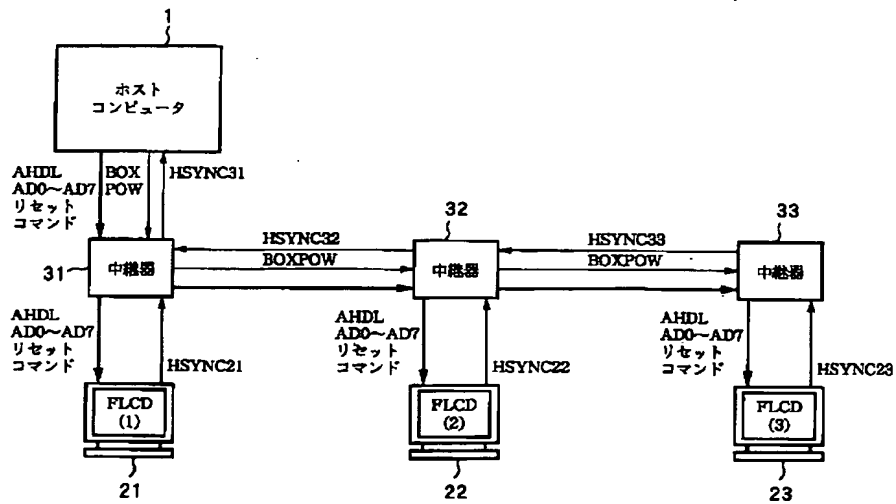
The diagram shows the timing of the 68000 microprocessor's signals. At the top, the **HSYNC** signal is shown as a high-level clock. Below it, the **AHD/L** signal indicates the current operation: high for address strobe and low for data strobe. The data bus signals **ADO** through **AD7** are shown as multiplexed signals. Each signal line contains a sequence of hexagonal boxes representing data bytes. For example, **ADO** contains A6, A8, D0, D8, D16, D24, D32, and so on. The **AHD/L** signal is high when the address bus is active and low when the data bus is active. The diagram is divided into two sections by a break symbol (//).



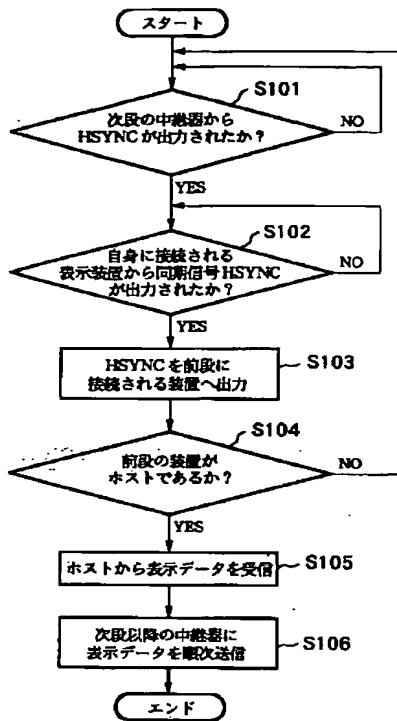
【図11】



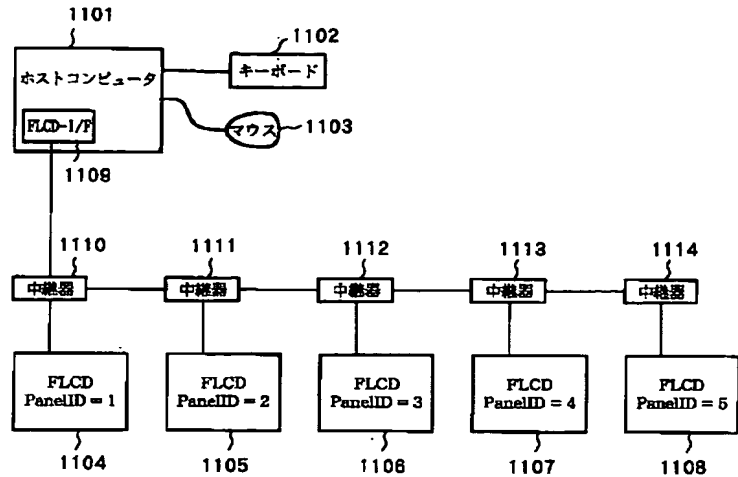
【図12】



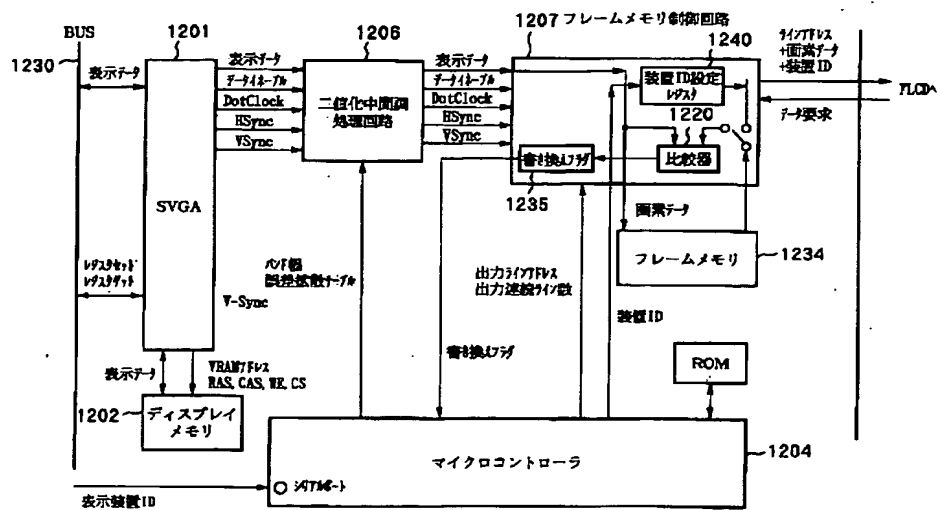
【図13】



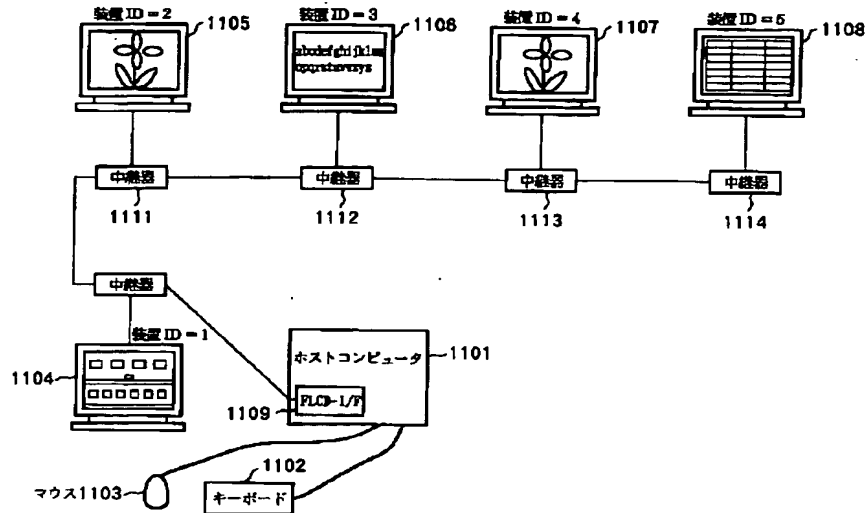
【図14】



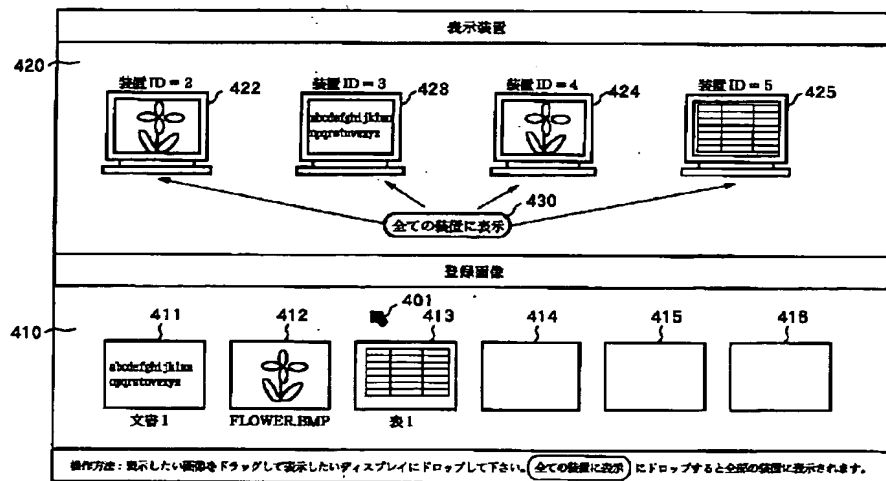
【図15】



【図16】



【図17】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
G 0 9 G 3/36

識別記号

F I  
G 0 9 G 5/00

テーマコード(参考)

5 5 5 D

(72)発明者 齊藤 彰男  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内(72)発明者 森本 はじめ  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 松本 雄一  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(72)発明者 井上 健治  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 市橋 信春  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
Fターム(参考) 2H088 EA22 HA06 JA17  
5C006 AC21 AF45 BA12 BB11 BC16  
BF50 EC08 FA41  
5C080 AA10 BB05 CC03 CC09 DD22  
EE26 GG02 JJ01 JJ02 JJ04  
JJ07  
5C082 AA01 AA34 BA02 BA12 BB01  
BD02 BD06 DA51 DA86 DA89  
MM02